

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 6 月 3 日 (03.06.2004)

PCT

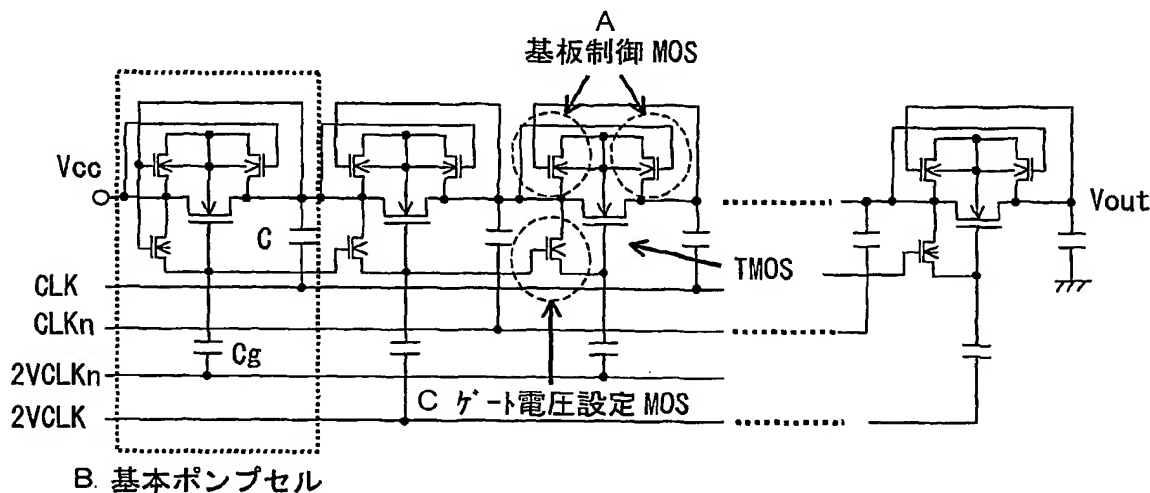
(10) 国際公開番号
WO 2004/047274 A1

- (51) 国際特許分類⁷: H02M 3/07 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/012336 (75) 発明者/出願人 (米国についてのみ): 山添 孝徳 (YAMAZOE, Takanori) [JP/JP]; 〒185-8601 東京都 国分寺市 東恋ヶ窪一丁目 280 番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 金井 健男 (KANAI, Takeo) [JP/JP]; 〒100-6334 東京都 千代田区 丸の内二丁目 4 番 1 号 株式会社ルネサステクノロジ内 Tokyo (JP).
(22) 国際出願日: 2003 年 9 月 26 日 (26.09.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2002-333033 (74) 代理人: 作田 康夫 (SAKUTA, Yasuo); 〒100-8220 東京都 千代田区 丸の内一丁目 5 番 1 号 株式会社日立製作所内 Tokyo (JP).
2002 年 11 月 18 日 (18.11.2002) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都 千代田区 神田駿河台四丁目 6 番地 Tokyo (JP).
(81) 指定国 (国内): AE, AG, AL, AU, BA, BB, BR, BZ, CA, CN, CO, CR, CU, DM, DZ, EC, GD, GE, HR, HU, ID, IL, IN, IS, JP, KP, KR, LC, LK, LR, LT, LV, MA, MG, MK,

[続葉有]

(54) Title: BOOSTER CIRCUIT

(54) 発明の名称: 昇圧回路



A...SUBSTRATE CONTROL MOS
B...BASIC PUMP CELL
C...GATE VOLTAGE SETTING MOS

(57) Abstract: A booster circuit of a nonvolatile memory requiring a plus or minus high voltage higher than the power supply voltage. A high voltage of about 12V can be generated from a low power supply voltage of 3V or less and a minus high voltage, as well as a plus high voltage, can be generated using the same circuit. When the inventive booster circuit, i.e. a substrate control type parallel charge pump, is combined with a series charge pump, two kinds of high voltage can be generated efficiently and the chip area can be reduced.

(57) 要約: 本願発明は、電源電圧以上のプラス又はマイナスの高電圧を必要とする不揮発性メモリの昇圧回路に関するものである。本願発明は、3V以下の低電源電圧

[続葉有]



MN, MX, NO, NZ, OM, PH, PL, PT, RO, SC, SE, SG, TN,
TT, UA, US, UZ, VC, VN, YU, ZA.

OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM,
AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

においても12V程度の高電圧を発生でき、同一回路でプラス高電圧だけではなく、マイナス高電圧も発生することも可能である。また、本願発明の昇圧回路である基板制御型並列チャージポンプと直列型チャージポンプを組み合わせることにより、2種類の高電圧を効率よく発生でき、チップ面積の低減化ができることにある。

明 細 書

昇圧回路

5 技術分野

本発明は、動作電圧より高い電圧または負電圧を発生させる半導体チャージポンプ回路及びこれを用いた半導体集積回路に関する。

背景技術

- 10 Flash, EEPROMの不揮発性メモリの消去、Write時には、トンネル効果又はホットエレクトロン、ホットホールを使用する為、12V程度の高電圧が必要となる。高電圧を発生させる従来のチャージポンプ方式の昇圧回路は、文献IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 32, NO. 8, AUGUST 1997 "A Dynamic Analysis of the Dicson Charge Pump"で紹介、解析されているような電荷を移動させるMOSトランジスタ（以降、「トランスファーマOS」）をダイオード接続したDicson型チャージポンプが一般的に知られており、回路構成も非常に簡単な為、よく使用されている。図1、図2にDicson型チャージポンプの構成図を示した。図1は上記IEEE文献の中でも記載されている概念ブロック図であり、図2は図1のバッファをn型MOSに置き換えた例である。図2では、
- 15 n型MOSのドレインとゲートを短絡し、ドレイン及びソースに接続された容量のもう一方側にCLKを印加する。CLKとCLK_nは、図3のように相補の関係にある。CLK_nが"High"でCLKが"Low"の時、1段、3段の奇数段のドレイン電位がソース電位より高い為、奇数段のn型MOSにドレイン電流が流れC1, C3の奇数容量に電荷がチャージされる。逆にCLKが"High"でCLK_nが"Low"の時、2段、4段の偶数段のドレイン電位がソース電位より高くなり、偶数段のn型MOSにドレイン電流が流れ、奇数容量C1, C3から偶数容
- 20
- 25

量C2, C4電荷が移動する。

このDicson型チャージポンプを構成しているn型MOSトランジスタのしきい値電圧を V_t とすると、出力電圧 V_{out} は、

$$V_{out} = (V_{cc} - V_t) \times N + V_{cc} \quad (1)$$

N : 段数, V_{cc} : 電源電圧

と表すことができる。しかし、出力側に近づくにつれnMOSトランジスタのドレイン、ソース電圧が昇圧されソース基板間電圧 V_{sb} の上昇により、基板効果によるNMOSトランジスタのしきい値電圧 V_t が式(2)で示されるように上昇する。

$$V_t = V_{t0} + \gamma (\sqrt{2\phi f + V_{sb}} - \sqrt{2\phi f}) \quad (2)$$

V_{t0} : $V_{sb}=0V$ 時の V_t , γ : 基板効果係数, ϕf : サブストレイトフェルミ準位

さらに式(2)から $V_t=V_{cc}$ となる時の V_{sb} が昇圧電圧の最大電圧と言えるので、

$$V_{out_max}(=V_{sb}) = \left(\frac{V_{cc} - V_{t0}}{\gamma} + \sqrt{2\phi f} \right)^2 - 2\phi f \quad (3)$$

式(3)により昇圧最大電圧 V_{out_max} を算出できる。図4に電源電圧 V_{cc} と昇圧電圧 V_{out} の算出値を示した。図4からわかるようにDicson型チャージポンプでは、電源電圧 V_{cc} に依存して昇圧電圧 V_{out_max} が決まっていることがわかる。

Dicson型チャージポンプの改良版も検討されている。特開平11-308856「チャージポンプ回路装置」では、n型MOSを複数のグループに分離して基板電位を除々に高くすることにより基板効果によるn型MOS V_t の上昇

を抑えている。

上記従来技術であるDicson型チャージポンプは、昇圧されるにつれn型MOSのソース基板間電圧 V_{sb} が上昇することで、基板効果の影響によりn型MOSのしきい値電圧 V_t が上がり、昇圧電圧の最大値が決まってしまう。結果として、3V以下の低電源電圧においては、不揮発性メモリの消去、Writeに必要な1
5 2V程度の高電圧を生成することができない。

また、特開平11-308856「チャージポンプ回路装置」にあるようなn型MOSを複数のグループに分離して基板電位を除々に高くすることにより基板効果の影響を抑えるようにしたとしても、複数のグループの中で $V_{sb}=0$
10 Vとならないn型MOSがあり、全てのn型MOSの基板効果を無くすことはできない。

また、特開2003-45193「半導体チャージポンプ回路および不揮発性半導体記憶装置」では、前々段のチャージ電圧をn型MOSの基板電位とする方式で、各段毎に異なる電圧値がn型MOSの基板電位に設定されるが、 V_{sb}
15 V_{sb} は少なくとも1段分の電圧増幅値 $V_{ga}(=V_{cc}-V_t)$ となり、基板効果は発生することとなる。

本発明は、基板効果の影響を無くしたチャージポンプ回路を提供すると共に、効率がいい回路構成及びプラス又はマイナスの高圧電圧を発生することができるチャージポンプ回路を提供することを目的とする。

発明の開示

上記課題を解決する為に、電荷を転送する n 型 MOS の基板を制御する MOS を追加することにより、n 型 MOS であれば、常にドレイン又はソース電位のどちらか低い電位に基板電位を設定することで $V_{sb}=0V$ にし、基板効果影響

5 を無くしたものである。

$V_{sb}=0V$ になった場合、式 (2) の第 2 項を 0 にすることができるが、第 1 項の V_{t0} が残ってしまう。この n 型 MOS の V_{t0} を 0V にする為に、n 型 MOS のゲートに (電源電圧 + V_{t0}) 以上の電圧を容量 C_g を通して印加すると同時に、その n 型 MOS に設定されるゲート電圧で次段の n 型 MOS ゲート電位を制

10 御するようにしチャージトランスファ効率を高めたものである。

図面の簡単な説明

- 図 1 従来のDicson型チャージポンプ構成図。
- 図 2 従来のDicson型チャージポンプ回路図。
- 図 3 クロック波形を表す図。
- 5 図 4 Dicson型チャージポンプ昇圧電圧計算値を示すグラフ。
- 図 5 本発明の第 1 の実施例であるチャージポンプ回路の全体回路図。
- 図 6 本発明の第 1 の実施例であるチャージポンプ回路の部分回路図。
- 図 7 本発明の第 1 の実施例であるチャージポンプ回路のCLK X1期間における回路説明図
- 10 図 8 本発明の第 1 の実施例であるチャージポンプ回路のCLK X2期間における回路説明図
- 図 9 本発明の第 1 の実施例であるチャージポンプ回路のタイミング図
- 図 10 本発明の第 1 の実施例であるチャージポンプ回路シミュレーション回路図。
- 15 図 11 本発明のチャージポンプ回路シミュレーション結果を表すグラフ。
- 図 12 2倍圧CLK発生回路
- 図 13 本発明の第 2 の実施例であるマイナス高圧電圧発生チャージポンプ回路図。
- 図 14 本発明の第 2 の実施例であるチャージポンプ回路のCLK X1期間における回路説明図
- 20 図 15 本発明の第 2 の実施例であるチャージポンプ回路のCLK X2期間における回路説明図
- 図 16 本発明の第 3 の実施例を表すプラス高圧電圧発生チャージポンプ回路図。
- 25 図 17 本発明の第 4 の実施例を表すマイナス高圧電圧発生チャージポンプ回路図。

図 1 8 本発明の第 5 の実施例を表すプラスマイナス高圧電圧発生チャージポンプ回路図。

図 1 9 本発明の第 6 の実施例を表す高圧電圧発生チャージポンプ回路構成図。

5 図 2 0 本発明の第 7 の実施例を表す直列型チャージポンプ回路。

図 2 1 本発明のチャージポンプ回路を搭載した I C カードのハードウェア構成。

発明を実施するための最良の形態

以下、本願発明の実施例を図面に従って、説明する。本願発明の回路素子に、制限されないが周知のSi半導体集積回路によって実現される。本願の図面
5 中でバックゲートが内向きの矢印を持つものはn型MOSFETを表す。また、バックゲートが外側の矢印を持ちゲートに丸印をつけたものはp型MOSFETを表す。

本願明細書ではMOSFET (Metal Oxide Semiconductor Field Effect Transistor) を省略してMOSと呼ぶこととする。尚、本願発明は一般にはMISFETに適用できる
10 。

今回発明したチャージポンプ回路の第1の実施例の形態であるプラス高電圧を発生する全体回路を図5に、チャージポンプ段の一部抜き出したものを図6に示す。本願のチャージポンプ回路は、4個のn型MOSと2個の容量を含む基本ポンプセルを直列に多段接続したものである。基本ポンプセルは、電荷を
15 次段に転送するトランスファーMOS (TMOS) と、TMOSの基板(ウェルとも言う)をトランスファーMOSのドレイン又はソースに接続する接続回路の役割を果たす基板制御MOSと、トランスファーMOSのゲート電位をドレインに接続する接続回路の役割を果たすゲート電圧設定MOSと、TMOSから転送される電荷をチャージするチャージ容量(C)と2VCLK又は2V
20 CLK_nの電位をTMOSのゲートに伝えるトランスファーゲート容量(C_g)から構成される。また、TMOSのゲートが次段のゲート電圧設定MOSのゲートに接続される。但し、1段目ゲート電圧設定MOSのゲートは、TMOSとチャージ容量の接続点に接続される。これら、トランスファーMOS、基板制御MOS及びゲート電圧設定MOSは、全てnMOSを使用した。

25 2相のクロック信号CLK、CLK_nは動作電圧V_{cc}を振幅とする。クロック信号CLK、CLK_nとの出力タイミングは、クロック信号CLKが動作

電圧 V_{cc} のときは、 CLK_n は $0V$ であり、クロック信号 CLK が $0V$ のときは、 CLK_n は動作電圧 V_{cc} であり、互いに逆相関係のクロック信号となっている。

また、2相のクロック信号 $2VCLK$ 、 $2VCLK_n$ は動作電圧の2倍である $2V_{cc}$ を振幅とする。 CLK 、 CLK_n と同様に、 $2VCLK$ 、 $2VCLK_n$ は互いに逆相の関係のクロック信号となっている。

以下図7、8を参照しながら動作説明する。

図7の CLK X1期間においては、 $CLK=0V$ 、 $2VCLK_n=2V_{cc}$ となるのでトランスファーマOSであるゲートn3電位は、 $2V_{cc}$ 以上となりT1はONし、 V_{cc} からチャージ容量 $C1$ に電荷が供給され最終的にn1電位は V_{cc} になる。よって、チャージ容量 $C1$ にチャージされる間n1電位は V_{cc} 以下となるので、nMOSゲートがn1電位に接続され、ソース又はドレインが V_{cc} 以上になる $t2$ 、 $t3$ はOFFする。また、nMOSゲートが V_{cc} に接続されており、ドレイン又はソース電位となるn1電位が V_{cc} 以下の $t1$ はONし、トランスファーマOSであるT1の基板電位n2はn1電位となり、TMOSのドレイン又はソースの低い電位と接続されることになる。ここで、トランスファーマOSの V_{t0} は通常 V_{cc} 未満であり、トランスファーマOSのゲート電位であるn3が $2V_{cc}$ 以上となることにより V_{t0} のロスなくn1電位は V_{cc} まで上昇することとなる。

2段目においては、 $CLK_n=V_{cc}$ 、 $2VCLK=0V$ となるのでチャージ容量 $C2$ にチャージされている電荷を $Q2$ とするとn4電位は $(Q2/C2) + V_{cc}$ となる。ここで、1段目からの $C1$ のチャージ電荷が全て、転送されたとすると、 $V_{cc} + (Q1/C1) = (Q2/C2) = 2V_{cc}$ と言えるので、n4電位は $3V_{cc}$ となり、n4電位 $>$ n1電位になるのでnMOSゲートがn4電位に接続されている $t5$ がONし、nMOSゲートがn1電位に接続されている $t4$ はOFFする。 $t5$ がONすることでトランスファーマOS T2の

基板電位 n_5 は n_1 電位となる。また、 n MOS ゲートが n_3 電位に接続されている t_6 は ON し、 T_2 ゲート電位である n_6 電位は、 n_5 電位となり T_2 は OFF する。

3 段目以降の奇数 ($2N-1$) 段目 (N は、1 以上) は、1 段目と同じく T
5 MOS は ON し、チャージ容量 $C(2N-1)$ と T MOS の接続点は、 $V_{cc} \times (2N-1)$ となる。また、偶数 $2N$ 段目は、 T MOS は OFF し、チャージ容量 $C(2N)$ と T MOS の接続点は、 $V_{cc} + V_{cc} \times 2N$ となる。

図 8 の CLK X2 期間においては、 $CLK = V_{cc}$ 、 $2VCLK_n = 0V$ となるので
 n_1 電位は $X1$ 期間でチャージ容量 C_1 にチャージされ上昇した電位 $V_{cc} + V_{cc}$
10 $= 2V_{cc}$ となる。これにより、 n_1 電位に n MOS ゲートが接続された t_2 、 t_3 は ON し、トランスファ n MOS のゲート電位 n_3 及び基板電位 n_2 は V_{cc} となり、 T_1 は OFF する。

2 段目においては、 $CLK_n = 0V$ 、 $2VCLK = 2V_{cc}$ で n_4 電位は $2V_{cc}$ 以下となるので n_1 電位 $\geq n_4$ 電位となり n_1 電位が n MOS ゲートに接続された t_4 が ON し、 n_4 電位が n MOS ゲートに接続された t_5 が OFF する。
15 これにより、トランスファ MOS T_2 の基板電位 n_5 は n_4 電位となる。また、 V_{cc} となっている n_3 電位が n MOS ゲートに接続された t_6 は OFF となり、 n_6 電位は $X1$ 期間で V_{cc} となった電位に、 $2VCLK = 2V_{cc}$ がたされ $3V_{cc}$ となり T_2 が ON する。これにより、チャージ容量 C_1 から C_2 に電荷が
20 移動し、 n_4 電位は最終的に $2V_{cc}$ となる。

3 段目以降の奇数 ($2N-1$) 段目 (N は、1 以上) は、1 段目と同じく T MOS は OFF し、チャージ容量 $C(2N-1)$ と T MOS の接続点は、 $V_{cc} + V_{cc} \times (2N-1)$ となる。また、偶数 $2N$ 段目は、 T MOS は ON し、チャージ容量 $C(2N)$ と T MOS の接続点は、 $V_{cc} \times 2N$ となる。

25 図 9 に CLK X1 及び X2 期間における回路内の電圧状態を示した。ここで、 N 段目の T MOS ゲート電圧設定 MOS のゲートは、 $(N-1)$ 段目の T MOS

ゲートと接続しているが、1段目のTMOSゲート電圧設定MOSのゲートはチャージポンプ容量C₁が接続されているn₁電位と接続し制御した。

このチャージポンプは、プラス電圧昇圧の場合、1段当りの電圧増幅度をV_{ga}とすると、このチャージポンプから出力される電圧V_{out}は、(4)式で表すこ

5 とができる。

$$V_{out} = V_{ga} \times N + V_{cc} \quad \text{-----} \quad (4)$$

N : 段数, V_{cc} : 電源電圧

10 ここで、電圧増幅度V_{ga}は、最大V_{cc}となる。V_{out}に負荷電流 I_L が流れた場合は、

$$\Delta V = (I_L \times t) / C \quad \text{-----} \quad (5)$$

C : チャージポンプ容量, t : CLKサイクル時間

15

(5) 式で表されたΔVの電圧降下が起きるので、

$$V_{ga} = V_{cc} - \Delta V \quad \text{-----} \quad (6)$$

20 V_{ga}は(6)式のようになる。

ここで、負荷電流I_Lが流れた場合の電位を図7、図8の各接続点で示すと、図7の各接続点は、n₁=n₂=n₅=n₆=~(V_{cc}-ΔV)、n₃=2V_{cc}、n₄=3V_{cc}-2ΔVとなり、図8の各接続点は、n₁=2V_{cc}-ΔV、n₂=n₃=V_{cc}、n₄=n₅=2V_{cc}-2ΔV、n₆=3V_{cc}-ΔVとなり、各段のチャージ容量とTMOSとの接続点n₁、n₄
25 で(段数×ΔV)の電圧低下がある。

図10に、本発明の基板制御型チャージポンプ回路のシミュレーション回路

とSpiceシミュレーション結果を図11に示した。チャージポンプ段数13段、チャージポンプ容量70F/段の回路構成において、負荷抵抗(RLOAD)=100M Ω 、負荷容量(CLOAD)=100pFの条件で、電源電圧Vcc=1.5Vで約18.5V、電源電圧Vcc=1.3Vで約15.5Vとなり、低電源電圧においても不揮発性メモリの消去、Writeに必要な12V程度以上の高電圧を生成することができる。このSpiceシミュレーション時の、トランスファーマOSのVt0は、約0.9Vであり、基板効果係数 γ は約0.8である。

ここで、図10の回路図にも示してある2倍圧CLK発生回路の動作を図12で説明する。2倍圧CLK発生回路は、図5～図8で示したCLK、CLKnから2VCLK、2VCLKnを発生する回路である。この2倍圧CLK発生回路においてもチャージポンプ方式を使用し、トランスファーマOSとしてpMOSを使用した。CLK=Vccの時、トランスファーマOSゲートは0Vになり容量Cに電荷がチャージされn2電位はVccになると同時に出力は0Vになる。次にCLK=0Vになると、n2電位が2×Vccになり、トランスファーマOSゲートはn2電位に設定されトランスファーマOSはOFFになる。また出力はn2電位が出力され2×Vccとなる。このように2倍圧CLK発生回路は、入力CLKに同期して0Vから2Vccの電圧を発生している。

図5～12は、プラスの高電圧を発生させるチャージポンプであったが、本願発明の第2の実施例であるマイナスの高電圧を発生させる回路を図13に示した。

回路構成としては、図5とほぼ同一であるが、CLKの位相及びゲート電圧設定MOSの位置が違う。図5のプラス昇圧の場合は、ゲート電圧設定MOSのドレインとソースは、TMOSとチャージ容量Cとの接続点の逆側とTMOSゲートに接続されていたが、図13のマイナス昇圧の場合は、TMOSとチャージ容量Cの接続点とTMOSゲートに接続した。また、図5のプラス昇圧は、CLKと2VCLKn、CLKnと2VCLKがペアになって各ポンプセルを制御していたが、図13

のマイナス昇圧は、CLKと2VCLK、CLK_nと2VCLK_nがペアになって各ポンプセルを制御した。これにより、プラス昇圧の場合は、電荷を次段のチャージ容量に電荷を流すことによりプラス高電圧を得ていたが、マイナスの場合は、電荷の流れる向きがプラスと逆方向にすることにより、前段へ電荷を流しマイナスの高電圧を得るようにしたものである。

- また、N段目のTMOSゲート電圧設定MOSのゲートは、(N-1)段目のTMOSゲートと接続しているが、1段目のTMOSゲート電圧設定MOSのゲートは、CLK_nと接続し制御した。各段のTMOSゲート電圧設定MOSの基板は、各段のトランスファーMOSの基板電位と接続した。
- 図14、図15を使用して動作を説明する。図14のCLK X1期間においては、CLK=0V、2VCLK=0Vとなり、1段目のトランスファーMOSのゲート_{n3}電位は、ゲート電圧設定MOSのゲートがCLK_n=V_{cc}に接続されているので、ゲート電圧設定MOSはONし、_{n3}電位と_{n1}電位が接続される。動作中においては_{n1}電位は、-V_{cc}~0Vになるので、T1はOFFする。
- また、T1の基板電位_{n2}は、t2がOFF、t1がONとなり、_{n2}電位と_{n1}電位は接続される。

- 2段目は、CLK_n=V_{cc}、2VCLK_n=2V_{cc}となり、T2のゲート_{n6}電位は、2VCLKにより約-2V_{cc}から0V程度になる。また、t6のゲート電位である_{n3}は、約-V_{cc}でt6はOFFするので、T2はONし、_{n4}電位は、_{n1}電位と同じ-V_{cc}までになる。また、_{n5}電位は、CLKがV_{cc}になった直後において_{n4}電位は、_{n1}電位より約V_{cc}高いので、t5がONし、_{n5}電位は_{n1}電位と同じになる。

- 図15のX2期間では、CLK=V_{cc}、2VCLK=2V_{cc}となり、_{n3}電位は2VCLKにより-V_{cc}からV_{cc}となる。また、t3はCLK_n=0VによりOFFするので、T1はONし、_{n1}電位は0Vになる。また、_{n2}電位は、CLKがV_{cc}になった直後において_{n1}電位は、_{n1}電位より約V_{cc}高いので、t2が

ONし、n 2 電位は0Vとなる。

2 段目は、CLK n = 0V、2 V CLK n = 0Vとなり、T 2 のゲート n 6 電位は、2 V CLKにより約0Vから-2Vcc程度になる。また、n 4 電位は、CLK nにより-Vccから-2Vccとなり、t 6 のゲート電位 n 3 = Vccなので、t 6 は
5 ONしn 6 電位とn 4 電位が接続され、T 2 はOFFする。また、n 5 電位はt 4 がONすることにより、n 4 電位と同じ-2Vccとなる。

ここで、マイナス電圧昇圧の場合、1 段当りの電圧増幅度をVgaとすると、このチャージポンプから出力される電圧Voutは、(7) 式で表すことができる。

10
$$V_{out} = V_{ga} \times N \quad \text{—————} \quad (7)$$

N : 段数, Vcc : 電源電圧

電圧増幅度Vgaは、最大Vccとなる。

図5～15は、トランスファーマOS、基板制御MOS及びゲート電圧設定
15 MOSをnMOSで構成したチャージポンプ回路であったが、pMOSで構成した本発明のチャージポンプ回路の第3の実施例を図16に、第4の実施例を図17に示した。

図16は、プラスの昇圧チャージポンプ回路であり、TMOS、基板制御MOS及びゲート電圧設定MOSにpMOSを使用した。また、CLKと2VCLK、C
20 LKnと2VCLKnの同相のクロックがペアになって各ポンプセルを制御することで、前段ポンプセルから当該ポンプセルへと電荷が転送され、後段へいくほどプラス昇圧される。また、nMOSの時と違って、トランスファーマOSの基板は、基板制御MOSにより、トランスファーマのドレイン又はソース電位の高い方に設定されることになる。

25 図17は、マイナスの昇圧チャージポンプ回路である。図16のプラス昇圧の場合と違って、ゲート電圧設定MOSの位置がチャージ容量と反対側に位置し

ているのと、CLKと2VCLK_n、CLK_nと2VCLKの逆相のクロックがペアになって各ポンプセルを制御している。これにより、当該ポンプセルから前段ポンプセルに電荷が転送され、後段へいくほどマイナス昇圧される。また、図16のプラス昇圧と同じく、トランスファーMOSの基板は、基板制御MOSにより、トランスファーのドレイン又はソース電位の高い方に設定されることになる。

図16、図17からもわかるように回路構成はnMOSの場合と、同じである。図16のpMOSを使用したプラス昇圧回路は、図14、図15のnMOSを使用したマイナス昇圧回路と回路構成は同じであり、図17のpMOSを使用したマイナス昇圧回路は、図5～図8のnMOSを使用したプラス昇圧回路と回路構成は同じであり、pMOS、nMOSどちらを使用しても同じ回路構成で、プラス及びマイナスの昇圧電圧を得ることができる。

不揮発性メモリの制御において、例えば消去時にはマイナス高電圧、Write時にはプラス高電圧が必要となることがある。この場合、別個にプラス及びマイナスのチャージポンプ回路を作るのはチップ面積が増大し、チップ価格が高くなってしまう。そこで、消去及びWriteは、同時に発生しないことから1個のチャージポンプ回路で、プラス又はマイナスの高電圧を発生させる本発明の第5の実施例であるチャージポンプ回路を図18に提案した。基本回路としては、図5と同じであり、基本動作も図7、8で説明したものと同一であるが、プラス高電圧発生時とマイナス高電圧発生時とで、入出力を逆にすることが選択回路及び選択信号により可能となっていることが特徴である。プラス高電圧発生時は、図5～図8で説明した内容と同じであり、入力が図18左側でV_{dd}とし、出力は図18右側になる。マイナス高電圧発生時は、図18右側が入力0Vとし、図18左側が出力となる。プラス及びマイナス高電圧発生共に、電荷の移動は図18の左から右となるので、マイナスの場合は、電荷は0Vに流れ込み、前段は除々にマイナスになっていき、マイナス高電圧が発生できる。

次に不揮発性メモリの制御においては、例えば12V、6V等の2種類の高電圧が

同時に必要となってくることがある。図 5 で示したチャージポンプ回路から出力される第 1 の高電圧と、この第 1 の高電圧を使用して第 2 の高電圧を発生させる回路構成である本発明の第 6 の実施例を図 19 に示す。図 19 内の基板制御型並列チャージポンプは、図 5 と同一である。本発明の第 7 の実施例である

5 図 19 の直列型チャージポンプを図 20 に示した。直列型チャージポンプは、トランスファーマOSを使用し、チャージ容量を第 1 の高電圧の電圧でON、OFFすることにより、第 1 の高電圧の 2 倍の電位が得られること及び直列型チャージポンプのCLK信号で、内部直列ブロック 1 と内部直列ブロック 2 を交互にON、OFFさせていることを特徴としている。

- 10 図 21 に、本発明の昇圧回路を搭載した IC カードのハードウェア構成を示す。IC カードハードウェア内のフラッシュメモリ及びEEPROMで本発明の昇圧回路が搭載される。

また、フラッシュメモリ及びEEPROMは、データの書き込み、消去時にプラス又はマイナス高電圧が必要となり、本発明の昇圧回路が使用されること

15 となるが、読み出し時に本発明の昇圧回路を使用して、書き込み及び消去されたメモリが期待したしきい値に達しているかを確認するために使用することもできる。

以下、上記実施例で説明したチャージポンプ回路は、電源電圧以外のプラス又はマイナス高電圧を必要とするEEPROM、フラッシュメモリー代表される不揮発性メモリ等を含むLSI回路、ICカードチップ、ICカード等に適用可能である。

20

産業上の利用可能性

本願発明は、不揮発性メモリや電源電圧以上の高電圧を必要とする IC チップ

25 プなどで利用されるものである。

請 求 の 範 囲

1. 基本ポンプセルをN段接続し昇圧する昇圧回路であって、

前記基本ポンプセルは、少なくとも第1MISFETと、第2MISFETと、第3MISFETと、第1キャパシタとを有し、

前記第1MISFETのバックゲートは第1ノードに接続し、そのソースドレイン経路は、第2ノードと第3ノードとの間に接続され、

前記第2MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は、前記第1ノードと前記第2ノードとの間に接続し、

10 前記第3MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は、前記第1ノードと前記第3ノードとの間に接続することを特徴とする昇圧回路。

2. 請求項1記載の昇圧回路であって、

15 前記第1キャパシタの一端は前記第3ノードに接続し、その他端には動作電圧の振幅を有する第1のクロックが入力され、

前記第3ノードが、次段の前記基本ポンプセルの第2ノードに接続することを特徴とする昇圧回路。

20 3. 請求項2記載の昇圧回路であって、

前記基本ポンプセルは更に、第4MISFETと、第2のキャパシタとを有し、

前記第2キャパシタの一端は前記第1MISFETのゲートに接続し、その他端には前記動作電圧と前記第1MISFETの閾値電圧の和よりも大きな電圧振幅を有し、且つ前記第1クロックと逆相である第2クロックが入力され、

25

前記第4MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は前記第2ノードと前記第1MISFETのゲートとの間に接続し、そのゲートは前段の前記基本ポンプセルを構成する前記第2キャパシタの前記一端に接続することを特徴とする昇圧回路。

5

4. 請求項2記載の昇圧回路であって、

前期基本ポンプセルは更に、第4MISFETと、第2のキャパシタとを有し、

前記第2キャパシタの一端は前記第1MISFETのゲートに接続し、
10 その他端には前記動作電圧と前記第1MISFETの閾値電圧の和よりも大きな電圧振幅を有し、且つ前記第1クロックと同相である第2クロックが入力され、

前記第4MISFETのソースドレイン経路は、前記第3ノードと前記第1MISFETのゲートとの間に接続し、そのゲートは前段の前記基本ポンプセルを構成する前記第2キャパシタの前記一端に接続することを特徴とする昇圧回路。
15

5. 請求項1記載の昇圧回路であって、

前記第1、2、3、4MISFETはn型MISFETであって、
20 正側に電圧を昇圧することを特徴とする昇圧回路。

6. 請求項1記載の昇圧回路であって、

前記第1、2、3、4MISFETはp型のMISFETであって、
負側に電圧を昇圧することを特徴とする昇圧回路。

25

7. 請求項1に記載の昇圧回路であって、

前記第 1、2、3、4MISFET は n 型の MISFET であって、
負側に電圧を昇圧することを特徴とする昇圧回路。

8. 請求項 1 に記載の昇圧回路であって、

5 前記第 1、2、3、4MISFET は p 型の MISFET であって、
正側に電圧を昇圧することを特徴とする昇圧回路。

9. 請求項 3 に記載の昇圧回路であって、

前記動作電圧の 2 倍の電圧のクロックを生成する 2 倍圧クロック発生
10 回路を有し、
前記 2 倍圧クロック発生回路が、前記第 2 クロックを生成することを特
徴とする昇圧回路。

10. 請求項 3 に記載の昇圧回路であって、

15 前記基本ポンプセルの奇数段に入力される前記第 1 クロックと、その偶
数段に入力される前記第 1 クロックが逆相であり、

前記基本ポンプセルの奇数段に入力される前記第 2 クロックと、その偶
数段に入力される前記第 2 クロックが逆相であることを特徴とする昇圧回路。

20 11. 基本ポンプセルを N 段接続し昇圧する昇圧回路であって、

前記基本ポンプセルが、

n 型であるトランスファーマISFET と、前記トランスファーマIS
FET のドレインまたはソースのいずれか電位の低い方と、前記トランスファ
ーマISFET とバックゲートとを接続する接続回路を有することを特徴と
25 する昇圧回路。

1 2. 請求項 1 1 に記載の昇圧回路であって、

前記接続回路は、第 1 基板制御MISFETと第 2 基板制御MISFETとから構成され、

5 前記第 1、第 2 基板制御MISFETの一方が導通し、前記トランスファーマISFETのドレインまたはソースのいずれか電位の低い方と、前記トランスファーマISFETのバックゲートとを接続することを特徴とする昇圧回路。

1 3. 基本ポンプセルをN段接続し昇圧する昇圧回路であって、

10 前記基本ポンプセルが、

p型であるトランスファーマISFETと、前記トランスファーマISFETのドレインまたはソースのいずれか電位の高い方と、前記トランスファーマISFETとバックゲートとを接続する接続回路を有することを特徴とする昇圧回路。

15

1 4. 請求項 1 3 に記載の昇圧回路であって、

前記接続回路は、第 1 基板制御MISFETと第 2 基板制御MISFETとから構成され、

20 前記第 1、第 2 基板制御MISFETの一方が導通し、前記トランスファーマISFETのドレインまたはソースのいずれか電位の高い方と、前記トランスファーマISFETのバックゲートとを接続することを特徴とする昇圧回路。

1 5. 請求項 1 に記載の昇圧回路であって、

25 正、負のいずれかに昇圧するかを選択する選択回路を有することを特徴とする昇圧回路。

16. 請求項15に記載の昇圧回路であって、
前記選択回路は、
前記基本ポンプセルの初段または最終段のいずれか一方の第2ノード
5 を前記動作電圧に接続する回路であり、他方の第3ノードを接地電位に接続することを特徴とする昇圧回路。
17. 請求項1に記載の昇圧回路であって、
直列型チャージポンプを有し、
10 前記直列型チャージポンプが、前記昇圧回路が出力する第1の電圧から第2の電圧を出力することを特徴とする昇圧回路。
18. 請求項1に記載の昇圧回路により生成された電圧により、読み出し、書き込み、消去の少なくともいずれか一つを行うことを特徴とする不揮発性メモリ
15 ー。
19. 請求項18に記載の不揮発性メモリを有することを特徴とするICカード。

1 / 16

図 1

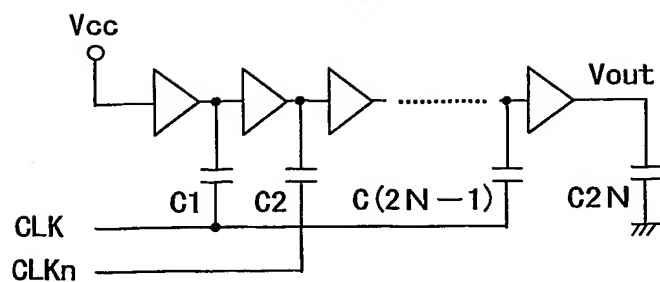


図 2

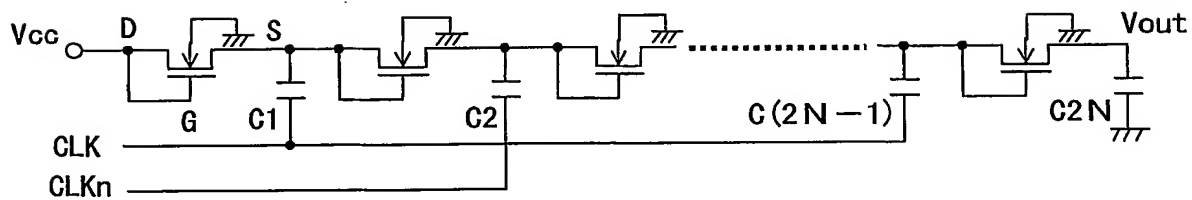
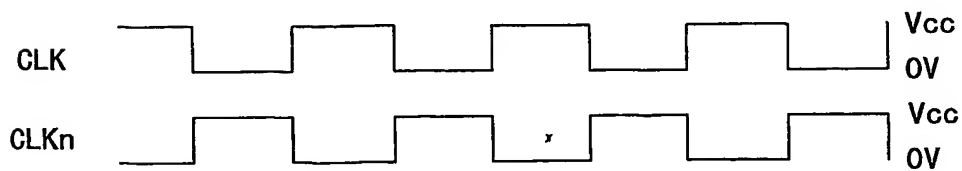
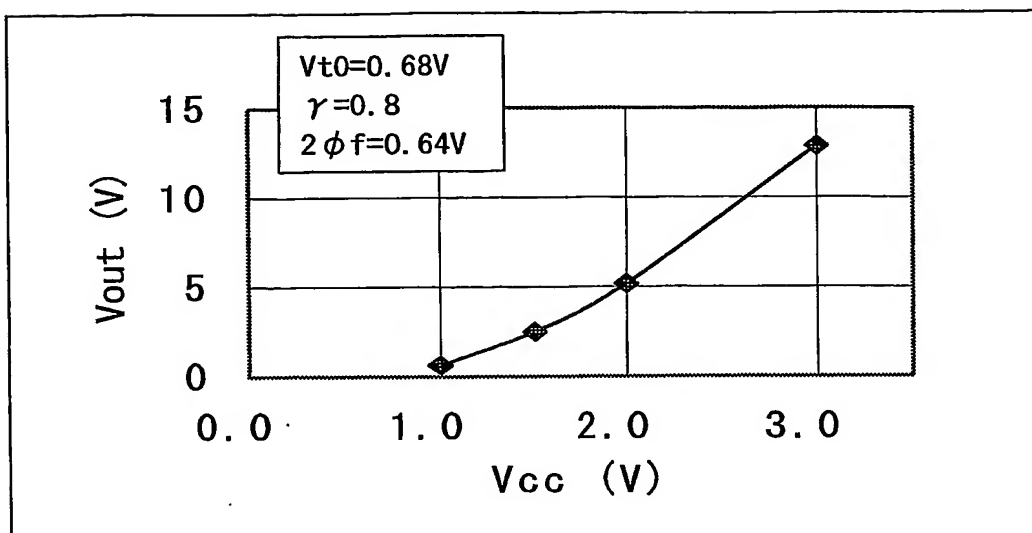


図 3



2 / 16

図 4



3 / 1 6

図 5

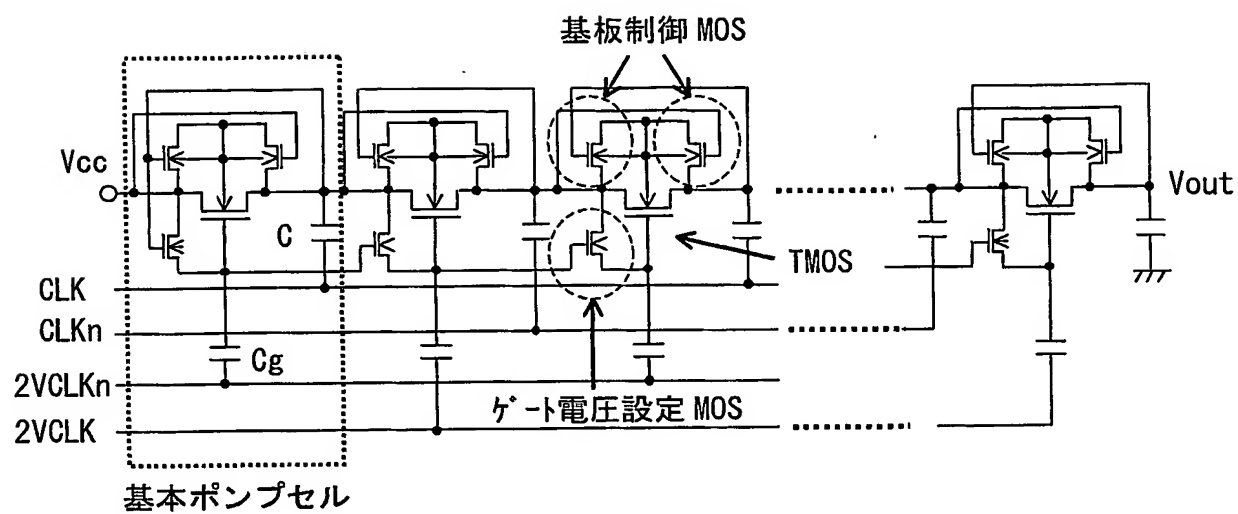
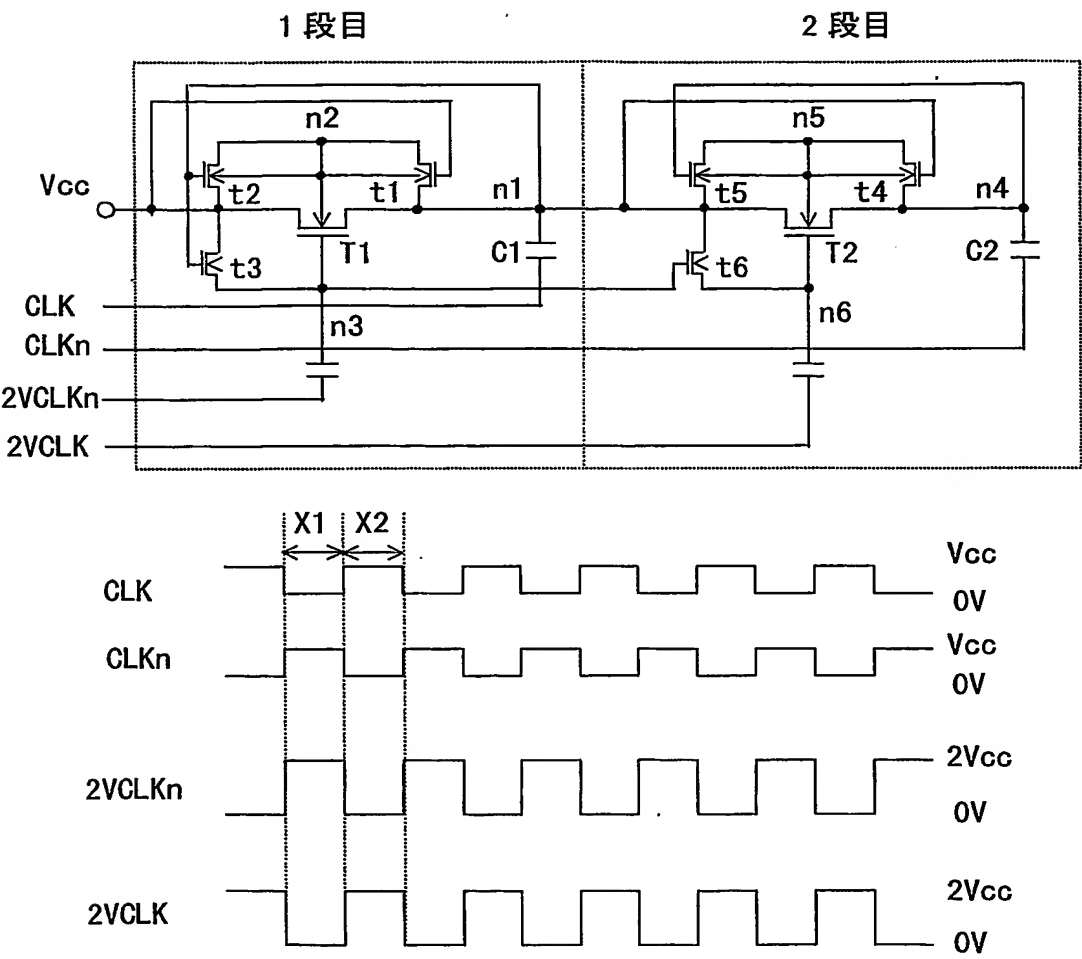
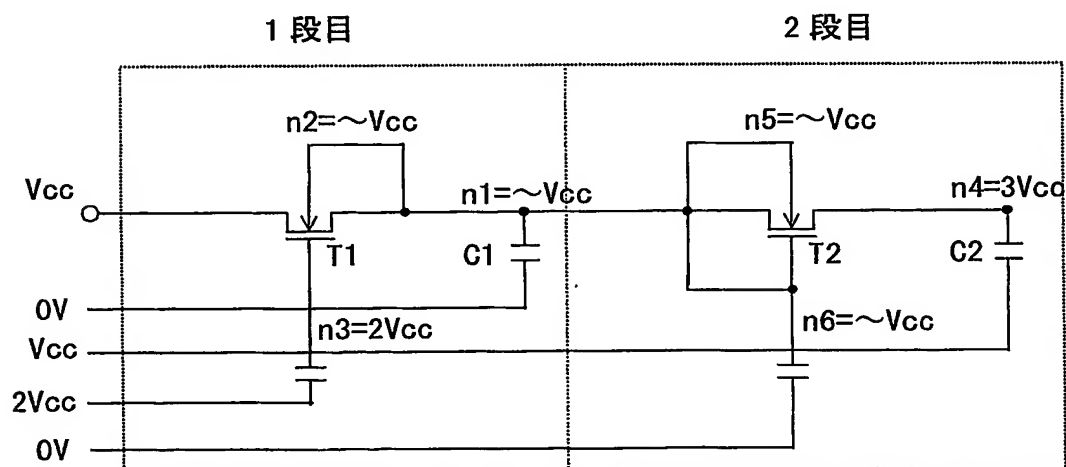
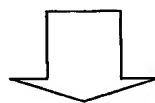
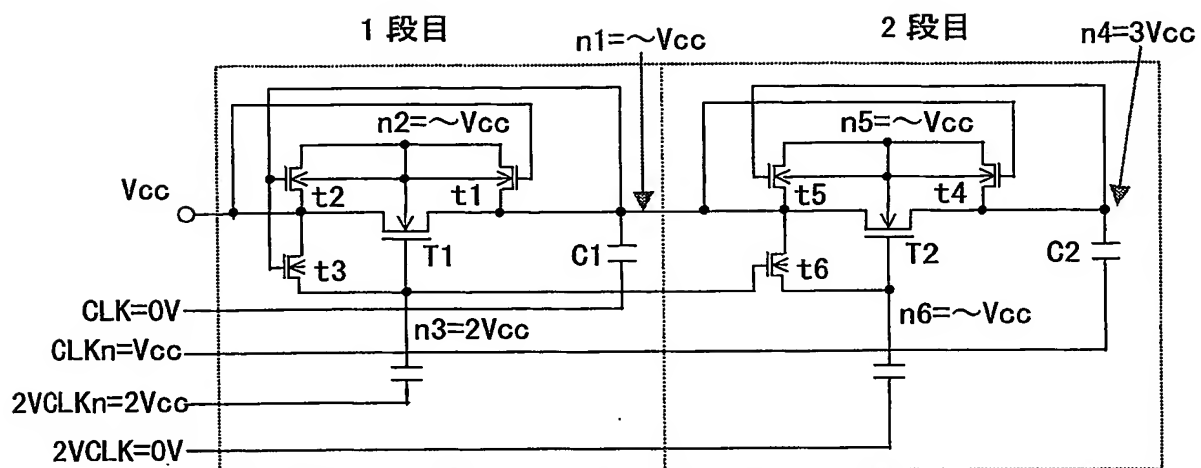


図 6



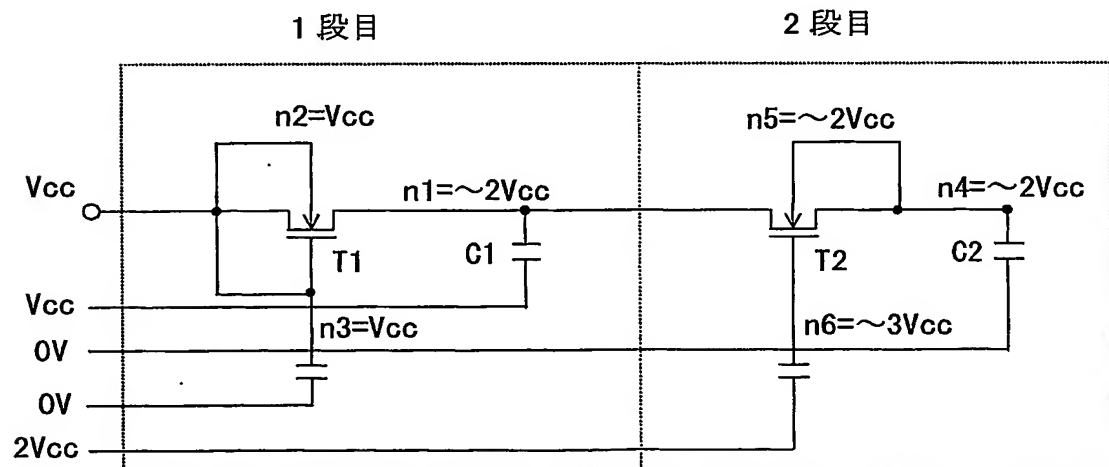
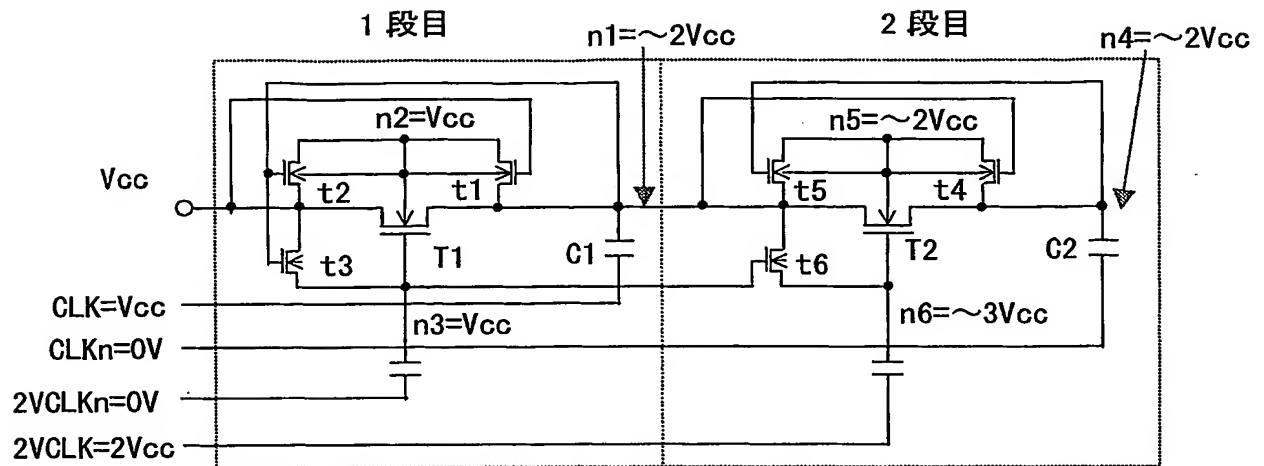
5 / 16

図 7



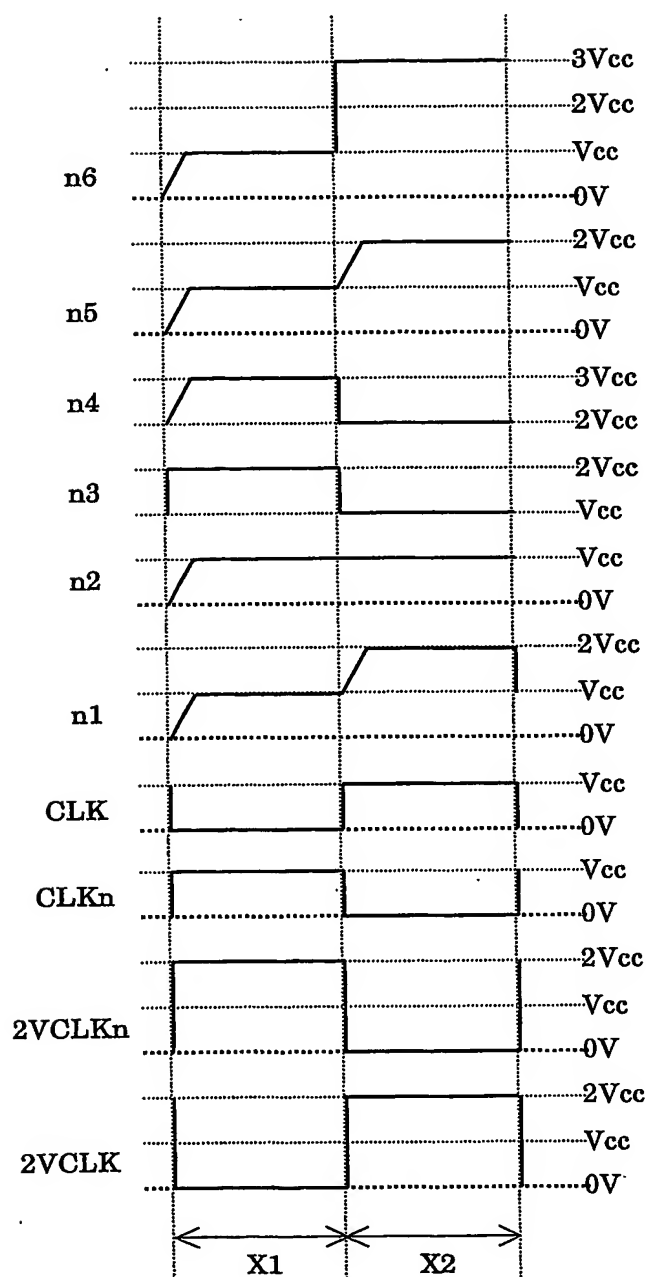
6 / 16

図 8



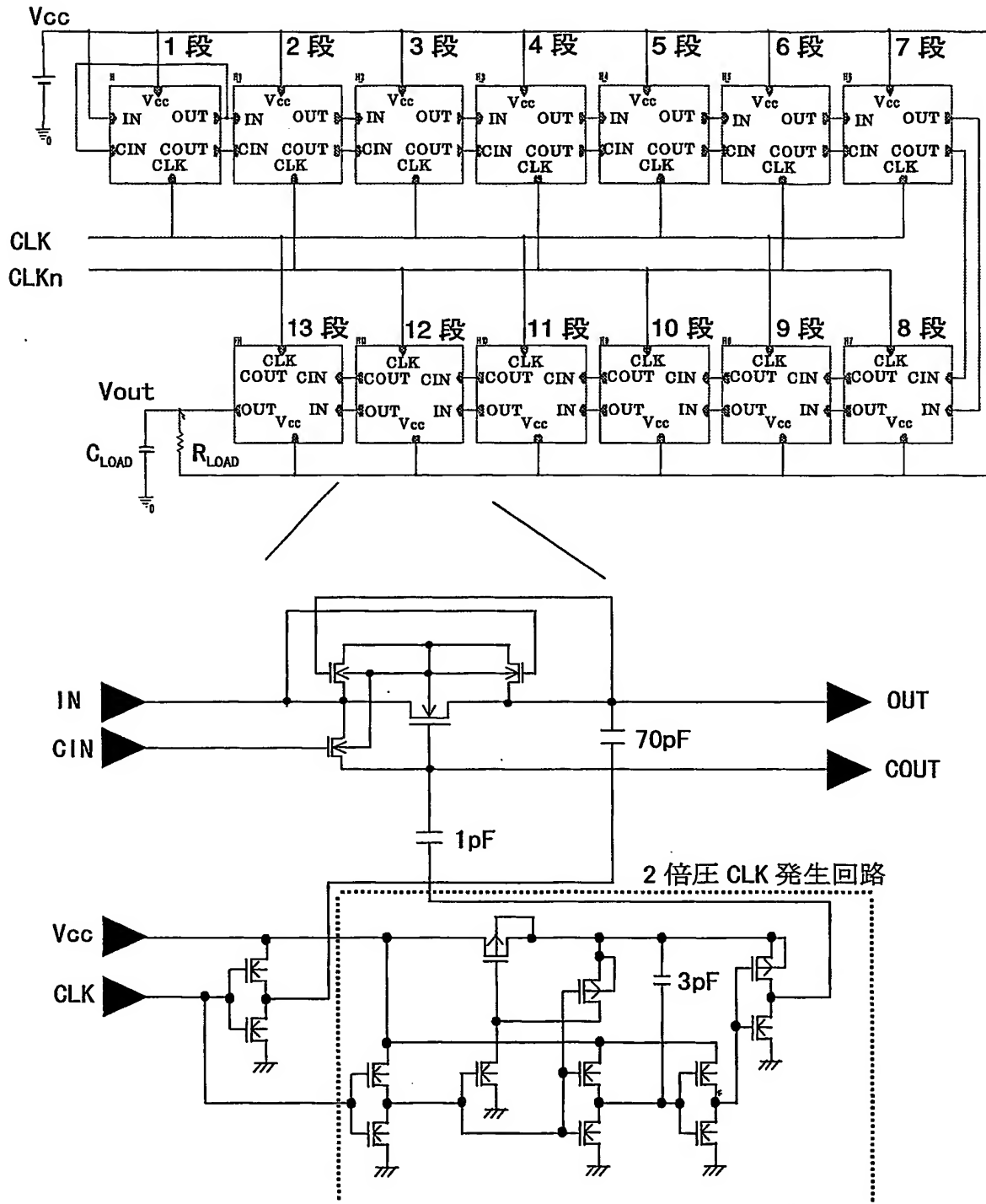
7 / 16

図 9



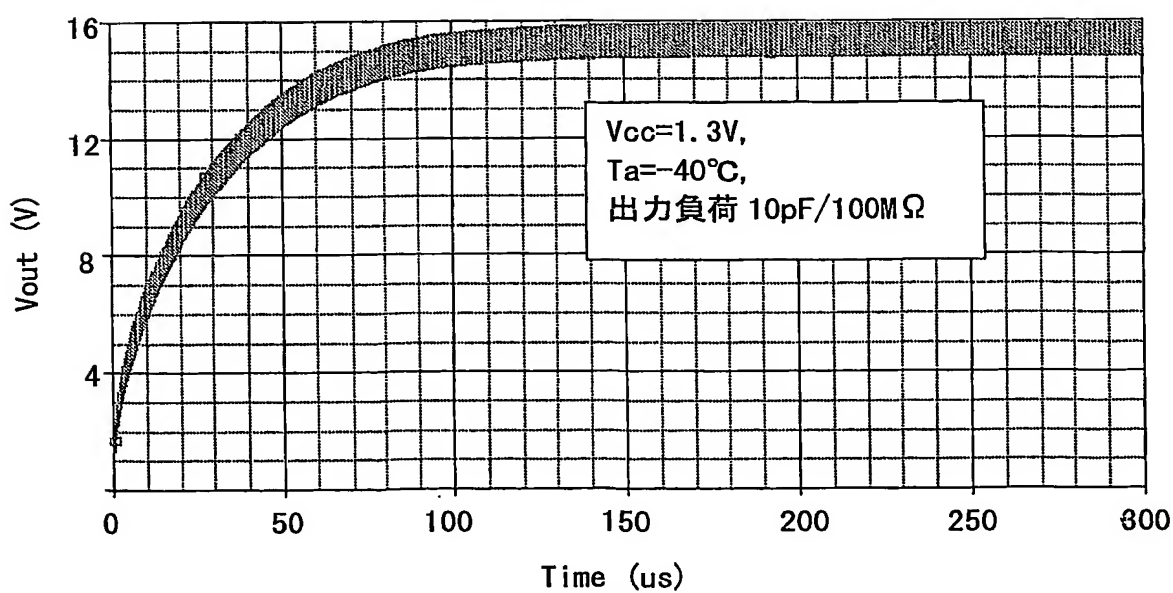
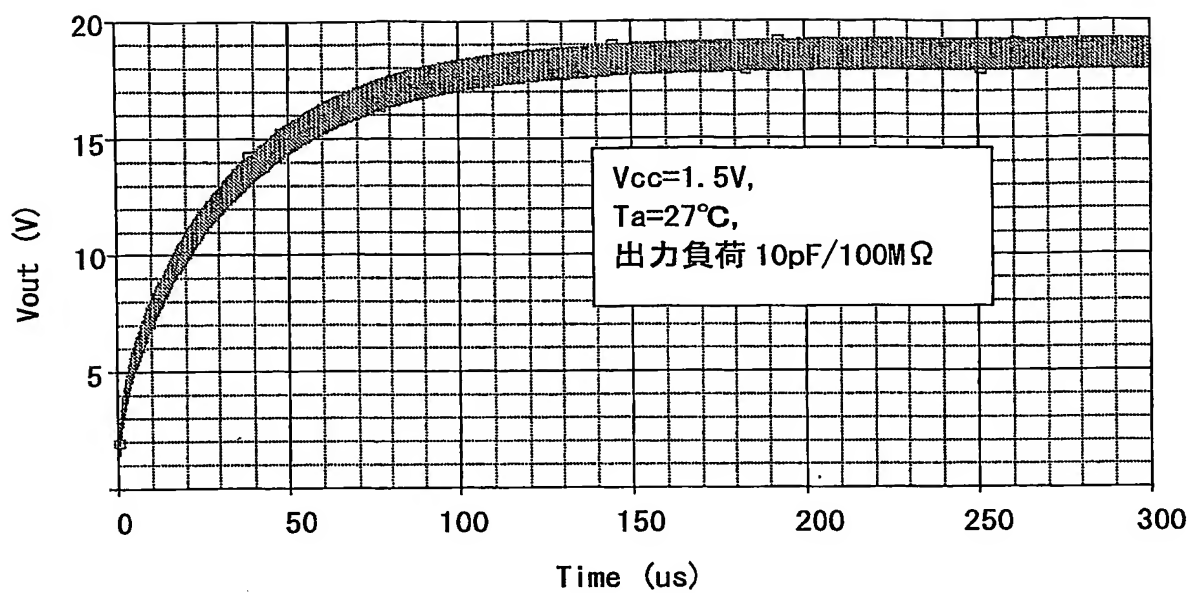
8 / 16

図 10



9 / 16

図 1 1



10 / 16

图 12

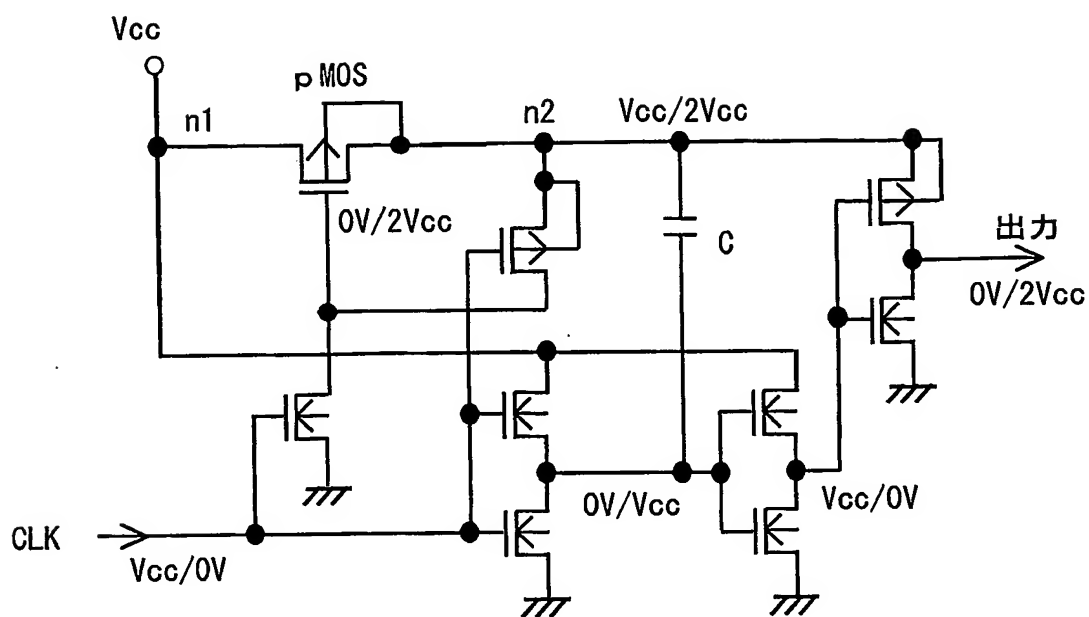
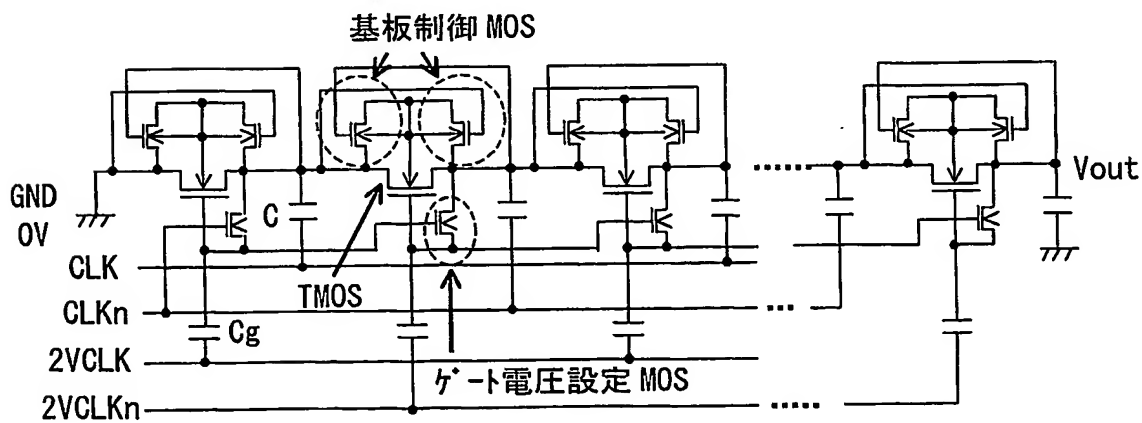
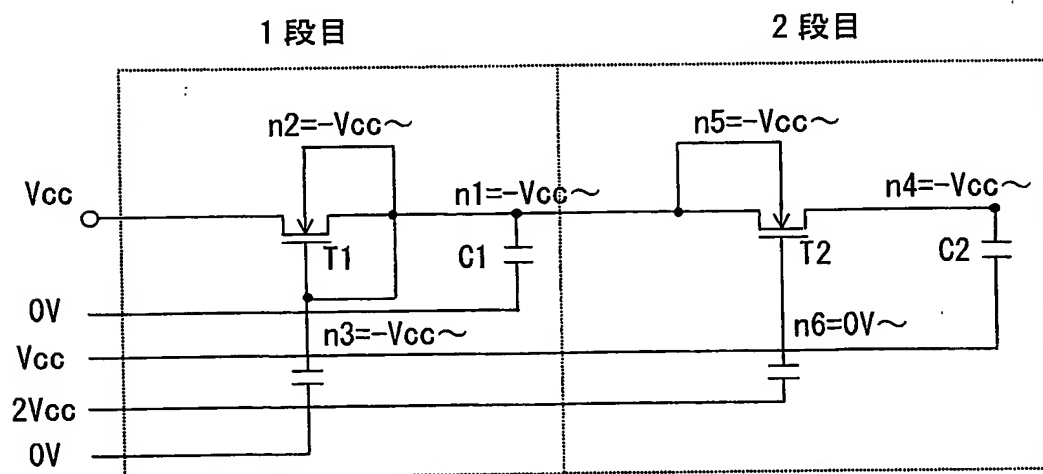
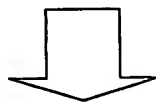
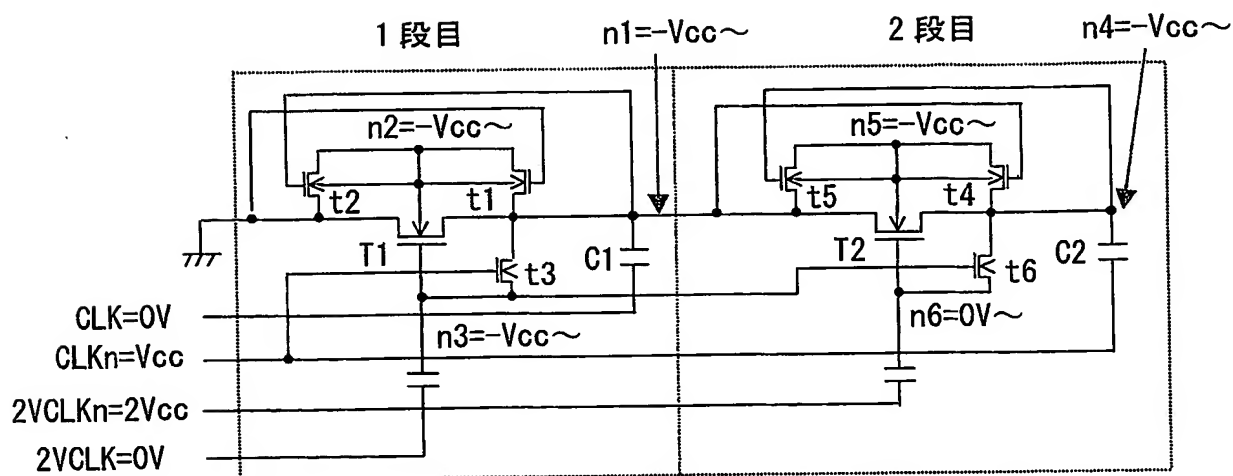


图 13



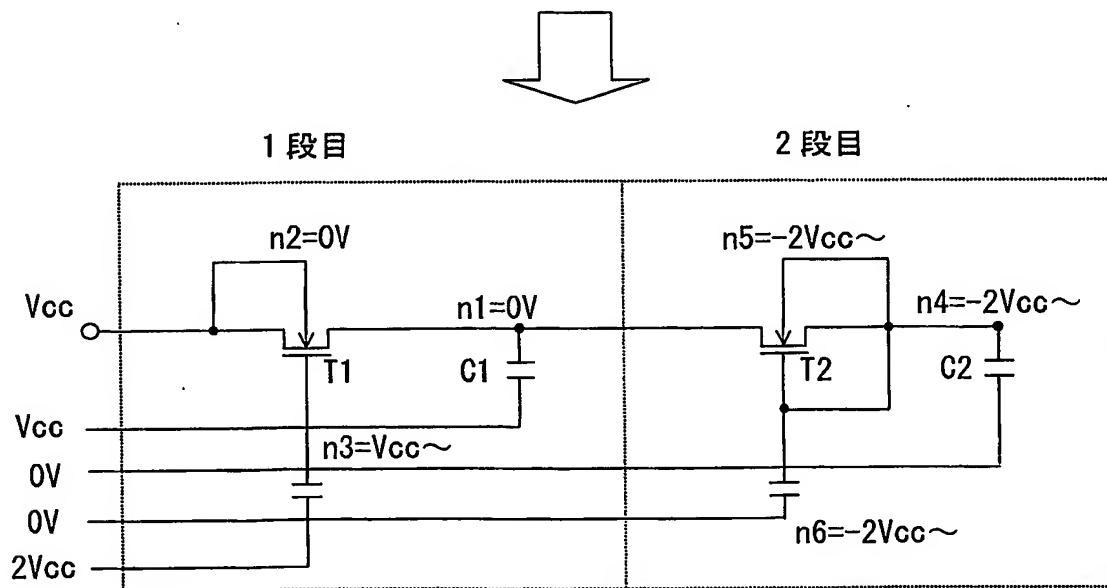
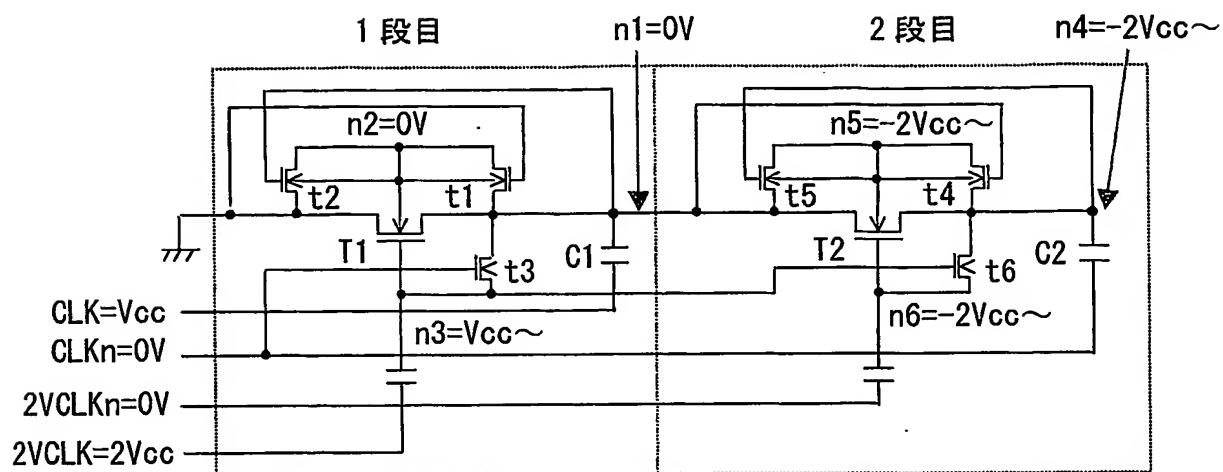
1 1 / 1 6

図 1 4



1 2 / 1 6

图 15



1 3 / 1 6

図 1 6

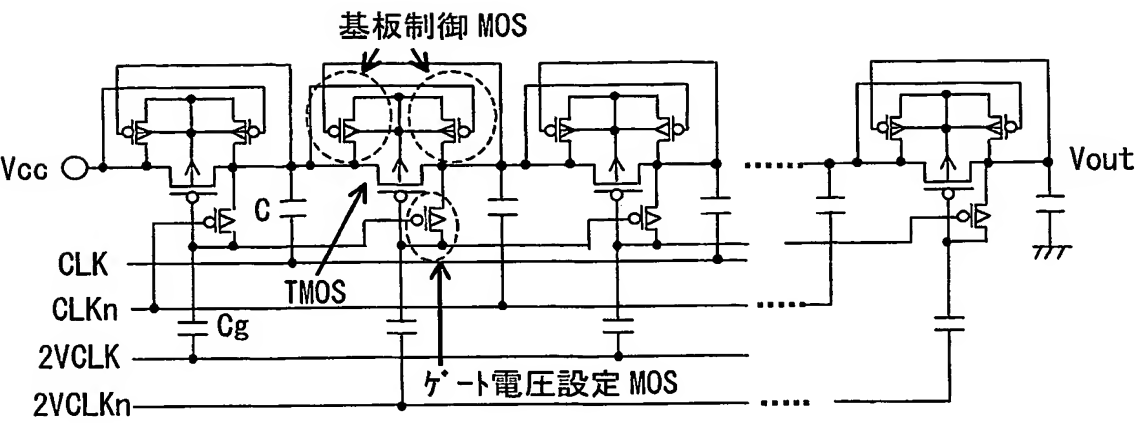
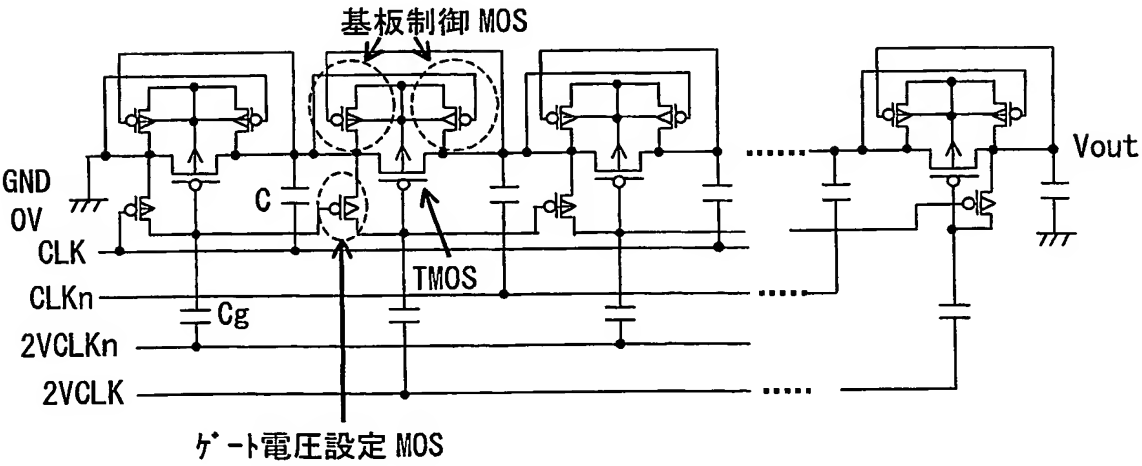


図 1 7



1 4 / 1 6

図 1 8

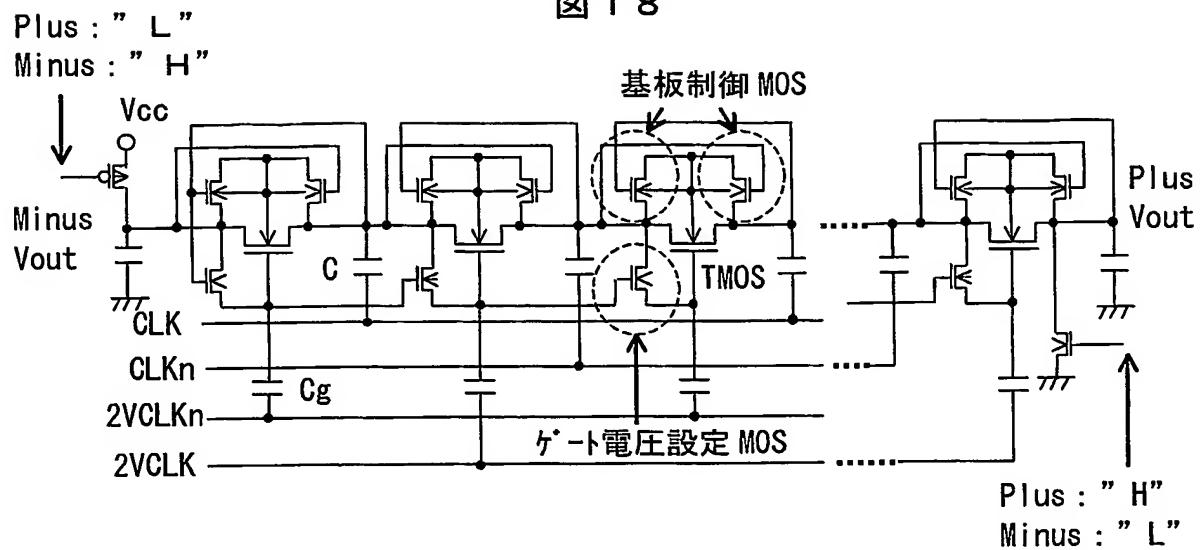
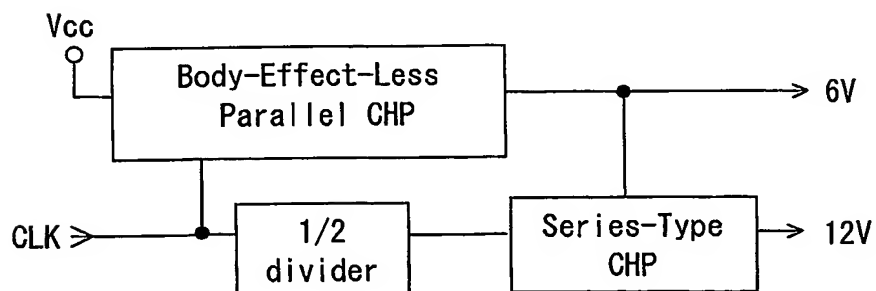
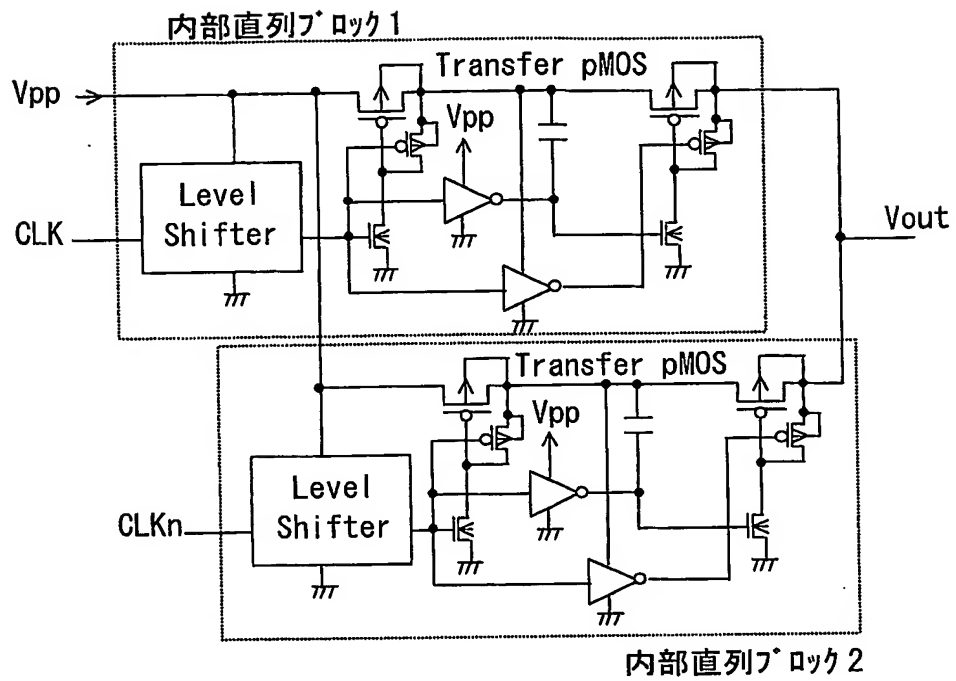


図 1 9



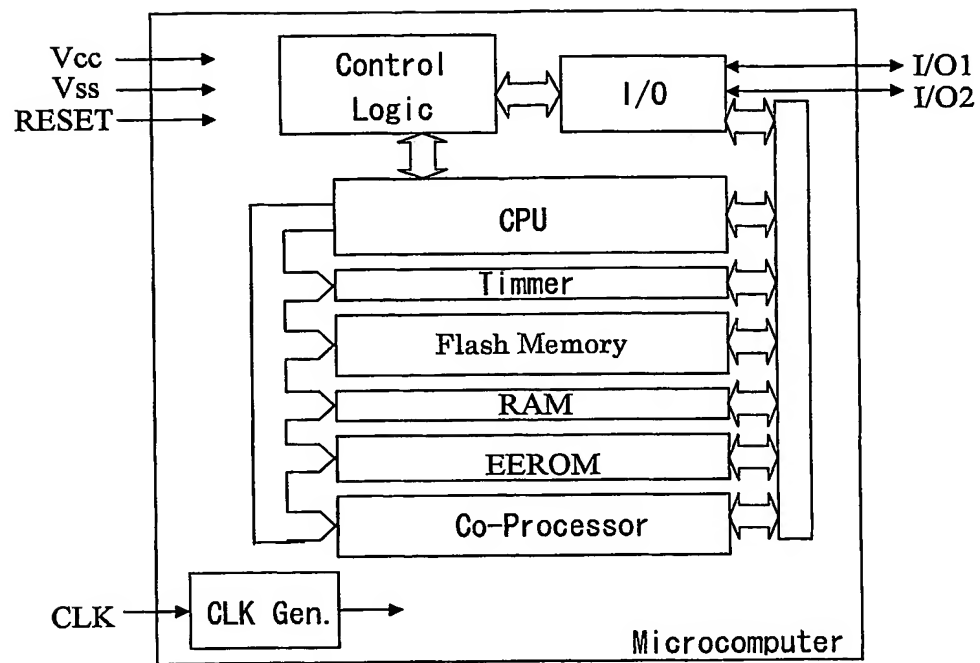
15 / 16

図 20



16 / 16

図 2 1



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12336

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M3/07

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003

Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 4-343260 A (Fujitsu Ltd.), 30 November, 1992 (30.11.92), Par. Nos. [0006] to [0029]; Figs. 1 to 8 (Family: none)	1, 2, 5-8, 11-14 15-19 3, 4, 9, 10
X Y A	EP 0319063 A2 (N.V. PHILIPS' GLOEILAMPEN FABRIEKEN), 07 June, 1989 (07.06.89), Column 7, line 5 to column 8, line 14; Figs. 4 to 5 & JP 1-164264 A Page 6, lower left column, line 2 to page 7, upper left column, line 15 & US 4922403 A & DE 3870592 A & NL 8702734 A	1, 2, 5-8, 11-14 15-19 3, 4, 9, 10

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* "A" "E" "L" "O" "P"	Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance earlier document but published on or after the international filing date document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) document referring to an oral disclosure, use, exhibition or other means document published prior to the international filing date but later than the priority date claimed	"T" "X" "Y" "&"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art document member of the same patent family
--------------------------------------	---	--------------------------	---

Date of the actual completion of the international search
11 December, 2003 (11.12.03)Date of mailing of the international search report
24 December, 2003 (24.12.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/12336

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-49299 A (Mitsubishi Electric Corp.), 18 February, 2000 (18.02.00), Fig. 46 & US 6147547 A & TW 393644 B	15,16
Y	US 5831844 A (NEC CORP.), 03 November, 1998 (03.11.98), Fig. 3A & JP 10-66330 A	15,16
Y	JP 2001-109530 A (Hitachi, Ltd., Hitachi ULSI Systems Co., Ltd.), 20 April, 2001 (20.04.01), Full text; Figs. 1 to 11 (Family: none)	17-19
Y	JP 2000-259784 A (Hitachi, Ltd., Hitachi ULSI systems Co., Ltd.), 22 September, 2000 (22.09.00), Full text; Figs. 1 to 43 (Family: none)	17-19
A	JP 11-233730 A (Nippon Steel Corp.), 27 August, 1999 (27.08.99), Fig. 3 (Family: none)	1-19
A	JP 8-97366 A (Mitsubishi Electric Corp.), 12 April, 1996 (12.04.96), Fig. 2 (Family: none)	1-19

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/07

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 4-343260 A (富士通株式会社) 1992. 11. 30, 【0006】-【0029】, 図1-8 (ファミリーなし)	1, 2, 5-8, 11-14 15-19 3, 4, 9, 10
X Y A	EP 0319063 A2 (N.V. PHILIPS' GLOEILAMPENFABRIEKEN) 1989. 06. 07, 第7欄第5行-第8欄第14行, 図4-5 & JP 1-164264 A, 第6頁左下欄第2行-第7頁左上欄第1 5行 & US 4922403 A & DE 3870592 A & NL 8702734 A	1, 2, 5-8, 11-14 15-19 3, 4, 9, 10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

11. 12. 03

国際調査報告の発送日

24.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.